

PROGRAMA DE LA ASIGNATURA

Curso académico: 2011/2012

Identificación y características de la asignatura				
Código				Créditos ECTS
Denominación	Computación Reconfigurable			
Titulaciones	Master Universitario en Computación Grid y Paralelismo			
Centro	Escuela Politécnica			
Semestre	1	Carácter	Obligatoria	
Módulo	Fundamental			
Materia	Fundamental			
Profesor/es				
Nombre	Despacho	Correo-e	Página web	
Juan Antonio Gómez Pulido	11	jangomez@unex.es	http://arco.unex.es/jangomez	
Área de conocimiento	Arquitectura y Tecnología de Computadores			
Departamento	Tecnología de los Computadores y Comunicaciones			
Julio Ballesteros Rubio	23	julioba@unex.es		
Área de conocimiento	Arquitectura y Tecnología de Computadores			
Departamento	Tecnología de los Computadores y Comunicaciones			
José María Granado Criado	23	granado@unex.es		
Área de conocimiento	Arquitectura y Tecnología de Computadores			
Departamento	Tecnología de los Computadores y Comunicaciones			
Profesor coordinador (si hay más de uno)	Juan Antonio Gómez Pulido			
Competencias				
<ul style="list-style-type: none"> • CE3: Diseñar y prototipar sobre hardware reconfigurable distintos sistemas y arquitecturas paralelas. • CE10: Construir soluciones paralelas optimizadas. • CG2: Formarse y actualizar conocimientos de forma autónoma y continuada. • CG4: Trabajar con constancia. • CG6: Capacidad para tomar de decisiones, sabiendo adaptarse a nuevas situaciones (creatividad). • CG7: Iniciativa y espíritu emprendedor, además de motivación por la calidad. 				
Temas y contenidos				
Breve descripción del contenido				
<p>Introducción al diseño de circuitos integrados. Características del Lenguaje VHDL. Síntesis de circuitos con VHDL. Implementación de circuitos en FPGAs. Parallelism at chip level, High-Performance Reconfigurable Computing. High-Performance Embedded Computing. System-On-</p>				

Chip. Embedded microprocessors. Multiprocessors System-On-Chip.

Temario de la asignatura

Tema 1: Introducción al diseño de circuitos integrados.

Descripción: Metodologías de implementación de circuitos: custom, semicustom. Circuitos basados en arrays programables: SPLDS, CPLDS, FPGAs. Tipos y arquitecturas de FPGAs. Características de la familia Spartan 3, Spartan 3E de Xilinx. Lenguajes de Descripción de Hardware: VHDL, Verilog, System C.

Laboratorio: Toma de contacto con las herramientas de Xilinx: Creación de un proyecto, edición y simulación de un circuito básico.

Tema 2: Características del Lenguaje VHDL.

Descripción: Tipos de datos. Operadores y Atributos. Unidades de Diseño. Bibliotecas. Estilos de descripción. VHDL secuencial. Modelo temporal en VHDL. Retardo delta. VHDL concurrente. Test-benches.

Laboratorio: Modelado y simulación de bloques básicos de un procesador: multiplexores, decodificadores, registros, ALU.

Tema 3: Síntesis de circuitos con VHDL(1)

Descripción: Síntesis RTL. Paquetes normalizados para la síntesis. Standard 1076.6 para la síntesis. VHDL soportado por XST (Tecnología de Síntesis de Xilinx). Síntesis de lógica combinacional. Síntesis de Lógica secuencial. Síntesis de RAMs y ROMs.

Laboratorio: Modelado y simulación de bloques básicos de un procesador: memoria de datos, memoria de instrucciones, banco de registros, unidad de control.

Tema 4: Síntesis de circuitos con VHDL(2).

Descripción: Síntesis de máquinas de estado finito (FSMs). Modelos de FSMs. Diseño Jerárquico. Diseño parametrizable mediante genéricos. Estructuras repetitivas: sentencia generate. Síntesis, Implementación y Generación del bitstream con el Entorno Integrado de Software (ISE) de Xilinx. Configuración de una FPGA: modos serie-paralelo(byte), maestro-esclavo.

Laboratorio: Modelado de contador/divisor de frecuencia. Descripción del procesador a nivel estructural a partir de bloques descritos en las sesiones previas.

Tema 5: Implementación de circuitos en FPGAs

Descripción: Experiencias en Laboratorio: Síntesis del procesador. Creación del fichero de restricciones de usuario (ucf), traducción, mapeo, ubicación (placement), conexionado (routing) y generación del fichero .bit . Configuración de una FPGA Spartan 3 XC3S1000.

Comprobación en una tarjeta Nexis del funcionamiento del procesador y elaboración de un informe sobre el trabajo realizado.

Tema 6: Parallelism at chip level, High-Performance Reconfigurable Computing and High-Performance Embedded Computing.

Descripción: Introduction to Reconfigurable Computing. Case studies. Commercial developments. Design cycle. Tools and techniques. Parallelism at chip level. Parallel techniques. Exploiting parallelism. High-Performance Reconfigurable Computing. Clusters of FPGA. Accelerating experiences with FPGAs. High-Performance Embedded Computing.

Tema 7: System-On-Chip and Processor-On-Chip. Embedded microprocessors: Basic design.

Descripción: Theory about systems on chip and processors on chip. The MicroBlaze soft microprocessor. Lab experience about a basic embedded microprocessor design. Basic System Builder. Prototyping platforms. Embedded software.

Tema 8: Multiprocessors System-On-Chip. Embedded microprocessors: Advanced Design.

Descripción: Theory about multiprocessors systems on chip and networks on chip. Lab experiences about advanced embedded microprocessor design. Peripheral setup. Generic prototyping boards. Custom design.

Tema 9: Embedded microprocessors: Dual-core design.

Descripción: Lab experiences about dual-core design based on a soft embedded microprocessor. Point-to-point communications. FSL buses.

Tema 10: Embedded microprocessors: kernels and threads.

Descripción: Lab experiences about the integration of operating systems on embedded microprocessors. Kernels and threads.

Actividades formativas

Horas de trabajo del alumno por tema		Presencial		Actividad de seguimiento	No presencial
Tema	Total	GG	SL	TP	EP
1	15	5	1		9
2	15	5	1		9
3	15	5	1		9
4	15	3	3		9
5	15	2	4		9
6	15	5	1		9
7	15	5	1		9
8	15	5	1		9
9	15	3	3		9
10	15	2	4		9
Evaluación del conjunto	150	40	20		90

GG: Grupo Grande (100 estudiantes).

SL: Seminario/Laboratorio (prácticas clínicas hospitalarias = 7 estudiantes; prácticas laboratorio o campo = 15; prácticas sala ordenador o laboratorio de idiomas = 30, clases problemas o seminarios o casos prácticos = 40).

TP: Tutorías Programadas (seguimiento docente, tipo tutorías ECTS).

EP: Estudio personal, trabajos individuales o en grupo, y lectura de bibliografía.

Sistemas de evaluación

Se propone un sistema de evaluación continua que tendrá en cuenta la asistencia y participación activa en las clases teóricas y seminarios, la elaboración de trabajos, las exposiciones en clase y el examen final.

Se aplicará el sistema de calificaciones vigente en el RD 1125/2003, artículo 5º

Bibliografía y otros recursos

- Apuntes y transparencias facilitados por el profesor, disponibles, junto con otros recursos, en un aula del Campus Virtual de la UEX:
<http://campusvirtual.unex.es/zonauex/avues/course/view.php?id=6969>
- Referencias bibliográficas:
 - Reconfigurable Computing – The Theory and Practice of FPGA-Based Computation.

- Morgan.Kaufmann, 2008.
- Reconfigurable Computing. Accelerating Computation with Field-Programmable Gate Arrays. M. Gokhale and P. Graham. Springer, 2005.
- Asenden, Peter J., "The Designer's Guide to VHDL", Morgan Kaufmann Publishers
- Recursos web:
 - www.xilinx.com
 - www.digilentinc.com
- Recursos software:
 - Xilinx ISE Embedded Edition.
 - Xilinx WebPack.
 - Agility DK.
- Recursos hardware:
 - Tarjeta de prototipado Digilent Nexys.
 - Tarjeta de prototipado Digilent XUPV2P.

Horario de tutorías

Tutorías Programadas:

- Se trata de una asignatura de tipo II (según Directrices de la UEx), por tanto, no dispone de tutorías programadas.

Tutorías de libre acceso:

- Juan Antonio Gómez Pulido:
Martes de 10:30 a 12:30; Jueves de 11:30 a 13:30; Viernes de 10:30 a 12:30.
- Julio Ballesteros Rubio: Martes:
10.30-12.30; Jueves, 09.30-11.30; Viernes, 10.30-12.30.
- José María Granado Criado:
Lunes de 11:30 a 13:30; Martes y Miércoles de 9:30 a 11:30.

Recomendaciones

- Es recomendable que el alumno disponga de un ordenador portátil.