

Plan Docente de la asignatura "Estructura de computadores"

I. Descripción y contextualización

Identificación y características de la asignatura(A3-06)

Denominación	Estructura de computadores		
Curso y titulación	Tercer curso de ITT (225 créd. LRU)		
Área	Arquitectura y Tecnología de Computadores		
Departamento	Tecnología de Computadores y Comunicaciones		
Tipo	Común (troncal)	Créditos LRU	6
Temporalidad	Primer cuatrimestre	Créditos ECTS	4,8 (120 horas)
Coef. practicidad	2 (Medio-bajo)	Coef. agrupamiento	4 (Medio-alto)
Distribución ECTS			
Grupo grande	Seminario-Lab.	Tutorías ECTS	No presenciales
31 % (37 horas)	10 % (12 horas)	4 % (5 horas)	55 % (66 horas)

Descriptorios (según BOE)

Otros tipos de ordenadores. Sistemas operativos.

Profesores

Juan Angel García Martínez

Despacho	12
Medio de contacto	Tel.: 924387008 Ext.2531
Tutorías compl.	Martes: de 14 a 15 horas, de 19 a 21 horas. Miércoles: de 13 a 14 horas.

II. Objetivos

Relacionados con competencias académicas y disciplinares

Descripción	Vinculación (CET)
1. Conocer el ámbito del paralelismo y el incremento de prestaciones en un computador.	7, 9
2. Estudio del paralelismo implementado en el procesador, tanto el paralelismo a nivel de instrucciones, como el paralelismo a nivel de datos.	6, 9
3. Conocer la segmentación de cauce como técnica básica hardware para el incremento de rendimiento en un computador.	6, 7, 9
4. Estudiar los motivos por los que surgen las arquitecturas superescalares, los problemas que plantean y las técnicas para abordar las soluciones.	6, 9
5. Comprender los procesadores VLIW como alternativa a los procesadores superescalares.	6, 9
6. Analizar distintas implementaciones de procesadores superescalares.	6, 9
7. Estudiar el procesamiento vectorial, justificar su interés y enumerar las principales máquinas vectoriales.	6, 9
8. Conocer arquitecturas de procesadores que implementen los diferentes tipos de paralelismo.	6, 9

Relacionados con otras competencias personales y profesionales

Descripción	Vinculación (CET)
--------------------	--------------------------

III. Contenidos

Bloques de contenido y/o temas

1. Introducción. Paralelismo e incremento de prestaciones.

- 1.1. Concepto de arquitectura.
- 1.2. Evolución y prestaciones.
- 1.3. El paralelismo en las arquitecturas.
- 1.4. Evaluación de prestaciones

2. Procesadores segmentados.

- 2.1. Introducción y definición.
- 2.2. Dependencias entre instrucción.
- 2.3. Rendimiento procesador segmentado.
- 2.4. Riesgos estructurales.
- 2.5. Riesgos de datos.
- 2.6. Riesgos de control.

- 2.7. Operaciones multiciclo.
- 2.8. Interrupciones en un procesador segmentado.
- 2.9. Ejercicios.

3. Procesadores superescalares.

- 3.1. Introducción.
- 3.2. Paralelismo a nivel de instrucciones.
- 3.3. Procesamiento superescalar de instrucciones.
- 3.4. Instrucciones de salto.
- 3.5. Interrupciones en procesadores escalares.
- 3.6. Ejemplos de procesadores escalares.
- 3.7. Ejercicios.

4. Procesadores VLIW.

- 4.1. Introducción.
- 4.2. Aprovechamiento del paralelismo VLIW
- 4.3. Recursos de apoyo al compilador.
- 4.4. Ejemplos VLIW
- 4.5. Ejercicios.

5. Procesadores vectoriales.

- 5.1. Introducción.
- 5.2. Arquitectura vectorial
- 5.3. Sistema de memoria.
- 5.4. Rendimiento.
- 5.5. Eficiencia del procesamiento vectorial
- 5.6. Ejercicios.

Interrelación

Descripción	Rq/Rd	Temas	Procedencia
1. Niveles de descripción. Unidades funcionales. Nivel de transferencia entre registros. Interpretación de las instrucciones. Microprogramación. Concepto de Entrada/Salida	Rq	1-5	Introducción a los Computadores

Rq = Requisito; Rd = Redundancia

IV. Metodología y plan de trabajo

Actividades de enseñanza-aprendizaje

Descripción	Modal.	Tipo	Duración	Temas	Objetivos
1. Plan docente de la asignatura	GG	C-E	1 h	1-5	
2. Concepto de arquitectura. Evolución y prestaciones.	GG	T	1 h	1.1, 1.2	1
3. El paralelismo en las arquitecturas.	GG	T	1 h	1.3	1
4. Evaluación de las prestaciones.	GG	T	1 h	1.4	1
5. Estudio y comprensión tema 1	NP	T	3 h	1	1
6. Ejercicios de rendimiento y coste.	GG	T	1 h	1	1
7. Resolución ejercicios planteados.	NP	T	2 h	1	1
8. Tutoría ECTS	Tut	T-P	1 h	1	1
9. Lectura previa Tema 2.	NP	T	3 h	2	1, 3
10. Introducción y definición de segmentación.	GG	T	1 h	2.1	1, 3
11. Dependencias entre instrucciones	GG	T	1 h	2.2	1, 3
12. Rendimiento procesador segmentado	GG	T	1 h	2.3	1, 3
13. Riesgos estructurales.	GG	T	1 h	2.4	1, 3
14. Estudio del concepto de segmentación, rendimiento y riesgos estructurales.	NP	T	3 h	2.1-2.4	1, 3
15. WinDLX como procesador segmentado.	S	P	1 h	2.1-2.4	1, 3
16. Riestos de datos.	GG	T	2 h	2.5	1, 3
17. Estudio de los riesgos de datos, y soluciones.	NP	T	2 h	2.5	1, 3
18. Riesgos de datos en WinDLX	S	P	1 h	2.5	1, 3
19. Riesgos de control	GG	T	2 h	2.6	1, 3
20. Estudio de los riesgos de control y soluciones.	NP	T	2 h	2.6	1, 3
21. Riesgos de control en Windlx.	S	P	1 h	2.6	1, 3
22. Operaciones multiciclo	GG	T	2 h	2.7	1, 3
23. Estudio operaciones multiciclo	NP	T	3 h	2.7	1, 3
24. Operaciones multiciclo en WinDLX	S	P	2 h	2.7	1, 3

25. Ejercicios sobre procesamiento segmentado.	GG	T	1 h	2	1, 3
26. Estudio comportamiento simulador WinDLX frente a diferentes riesgos	NP	P	4 h	2	1, 3
27. Tutorías ECTS	Tut	T-P	1 h	2	1, 3
28. Lectura previa tema 3	NP	T	3 h	3	1-4
29. Introducción al ILP	GG	T	1 h	3.1, 3.2	1-4
30. Paralelismo a nivel de instrucciones.	GG	T	1 h	3.1, 3.2	1-4
31. Estudio conceptos iniciales ILP	NP	T	1 h	3.1, 3.2	1-4
32. Introducción al simulador Dlxview	S	P	1 h	3.1 3.2	1-4, 6
33. Procesamiento superescalar de instrucciones	GG	T	2 h	3.2, 3.3	1-4
34. Estudio procesamiento superescalar	NP	T	2 h	3.2, 3.3	1-4
35. Dlxview. Procesamiento superescalar.	S	P	2 h	3.1-3.3	1-4, 6
36. Instrucciones de salto.	GG	T	1 h	3.2, 3.4	1-4
37. Estudio comportamiento instrucciones salto procesador escalar	NP	T	2 h	3.2, 3.4	1-4
38. Interrupciones en procesador superescalar.	GG	T	1 h	3.2, 3.5	1-4
39. Compresión interrupciones superescalar	NP	T	1 h	3.2, 3.5	1-4
40. Ejemplos de procesador escalar.	GG	T	1 h	3.1-3.6	1-4, 6
41. Simulador Dlxview. Programación.	S	P	2 h	3	1-4, 6
42. Estudio comportamiento superescalar de Dlxview.	NP	T-P	4 h	3.7	1-4, 6
43. Tutorias ECTS	Tut	T-P	1 h	3	1-4, 6
44. Lectura previa procesadores VLIW	NP	T	2 h	4	5
45. Introducción.	GG	T	1 h	4.1	5
46. Aprovechamiento paralelismo VLIW	GG	T	1 h	4.2	5
47. Recursos de apoyo al compilador	GG	T	1 h	4.3	5
48. Ejemplos VLIW	GG	T	1 h	4.4	5

49. Estudio del concepto VLIW.	NP	T	4 h	4	5
50. Lectura previa tema 5	NP	T	2 h	5	7
51. Introducción. Arquitecturas vectoriales.	GG	T	1 h	5.1, 5.2	7
52. Sistema de memoria	GG	T	1 h	5.3	7
53. Rendimiento	GG	T	1 h	5.4	7
54. Eficiencia procesamiento vectorial	GG	T	1 h	5.5	7
55. Estudio arquitecturas vectoriales	NP	T	4 h	5	7
56. Simulador arquitectura vectorial	S	P	2 h	5	7
57. Estudio diferentes situaciones procesamiento vectorial en simulador vectorial	NP	P	2 h	5	7
58. Ejercicios sobre rendimiento y cálculo vectorial	GG	T	2 h	5	7
59. Resolución de los ejercicios planteados	NP	T	2 h	5	7
60. Tutoría ECTS	Tut	T	2 h	5	1-7
61. Preparación prueba de evaluación	NP	T-P	15 h	1-5	1-7
62. Prueba de evaluación	GG	C-E	4 h	1-5	1-7

Modalidad: GG = Grupo grande; S = Seminario - Laboratorio; Tut = Tutoría ECTS; NP = No presencial
Tipo: C-E = Coordinación / evaluación; T = Teórica; P = Práctica; T-P = Teórica / práctica

Distribución del tiempo (ECTS)

Distribución de actividades		Dedicación del alumnado		Dedicación del profesorado	
		H. presenc.	H. no pres.	H. presenc.	H. no pres.
Grupo grande (40 alumnos)	Coord. / eval.	5	---	5	5+20+2
	Teóricas	32	43	32	16
	Prácticas	---	8	---	---
	Subtotal	37	51	37	43
Seminario - Laboratorio (20 alumnos)	Coord. / eval.	---	---	---	20
	Teóricas	---	---	---	---
	Prácticas	12	---	24	12
	Subtotal	12	---	24	32
Tutoría ECTS (5 alumnos)	Coord. / eval.	---	---	---	20
	Teóricas	3,5	---	28	14
	Prácticas	1,5	---	12	6

Subtotal	5	---	40	40
Tut. compl. y prep. de exámenes	---	15	26,4	---
Totales	54 (2,2 ECTS)	66 (2,6 ECTS)	127,4	115

V. Evaluación

Criterios de evaluación

Descripción	Objetivos
1. Conocer el concepto de paralelismo tanto a nivel de software como a nivel de hardware y el incremento de prestaciones que aporta en ambos casos	1, 2
2. Saber aportar soluciones para el aumento de rendimiento, diferenciando soluciones a nivel de instrucciones frente a soluciones a nivel de datos.	1, 2
3. Conocer el funcionamiento de los procesadores segmentados, el rendimiento de dichos procesadores, los conceptos de riesgos, así como las soluciones que existen para evitarlos.	1, 3
4. El alumno debe conocer algún procesador superescalar, diferenciarlo frente a un procesador segmentado, y las diferentes técnicas ILP existentes.	1, 2, 4, 6
5. Procesadores VILW: Conceptos y diferencias de procesamiento frente a procesadores superescalares. Se deberá conocer el papel del compilador en los procesadores VLIW	1, 5, 6
6. Conceptos de arquitectura vectorial Se deberá entender el papel del procesamiento vectorial en procesamiento de instrucciones y datos. Deberá conocer una estimación del rendimiento de una arquitectura vectorial, así como los detalles de dicha arquitectura, y las soluciones aportadas frente a los problemas de ejecución de las instrucciones vectoriales.	1, 2, 7
7. El alumno deberá distinguir la arquitectura de un procesador, caracterizando el tipo de paralelismo que implementa y que pueda soportar	1-5

Actividades e instrumentos de evaluación

Grupo grande	C. Calif.
Prueba escrita. El alumno deberá resolver una serie de preguntas relacionadas con el contenido teórico desarrollado en clase, y basadas en los distintos ejemplos de procesadores explicados y utilizados en las clases de laboratorio.	75 %, E

Valoración de los ejercicios y cuestiones resueltas y requeridas al alumno en el desarrollo de los objetivos teóricos y prácticos. 5 %, NR

Seminario - Laboratorio

C. Calif.

Valoración de la asistencia y participación del alumno en las enseñanzas programadas de tipo laboratorio, así como la resolución de los diferentes ejercicios que se planteen en el desarrollo de las sesiones de tipo Laboratorio. 10 %, NR

Tutoría ECTS

C. Calif.

Exposición de los procedimientos empleados en resolver las cuestiones y ejercicios surgidos durante el desarrollo de las sesiones de tipo Laboratorio. 10 %, NR

NR = Actividad no recuperable; E = Actividad eliminatoria; R = Requisito para otra actividad

VI. Bibliografía

Bibliografía seleccionada

Arquitectura de computadores.
J. Ortega, M. Anguita, A. Prieto.
Ed.: Thomson. 2005.

Organización de computadores.
Hamacher, Vranesic, Zaky.
Ed: McGraw Hill. 5ª edición 2003.

Computer Architecture. A quantitative approach.
Hennessy & Patterson. 3ª edición
Ed: Morgan Kauffman. 2003.

Documentación de lectura obligatoria o de ampliación

Documentación de lectura obligatoria:
=====

Resúmenes en formato PDF de cada uno de los temas, tanto de su parte teórica como práctica, elaborados por el profesor.

VII. Apéndice

Parámetros de estimación de horas no presenciales y tutorías complementarias del profesorado

Coordinación - evaluación

Preparación del material y revisión del Plan Docente previas al periodo lectivo	5 h
Corrección de exámenes (tiempo por cada alumno)	0,5 h
Elaboración de actas y sesiones de revisión	2 h
Corrección de trabajos y prácticas en actividades de seminario - laboratorio (tiempo por cada alumno)	0,5 h
Corrección de trabajos y prácticas en tutorías ECTS (tiempo por cada alumno)	0,5 h

Actividades teóricas y prácticas

Tiempo de preparación de cada hora presencial

	Grupo grande	Seminario-Lab.	Tutoría ECTS
Teórica	0,5 h	0,5 h	0,5 h
Práctica	0,5 h	0,5 h	0,5 h

Tutorías complementarias

Algoritmo de estimación: N° alum. x N° horas NP / 100 (horas)

(mínimo 18 horas por cuatrimestre)