

Plan Docente de la materia “Sistemas Digitales”



I. Descripción y contextualización

<i>Identificación y características de la materia</i>				
<i>Denominación y código</i>	SISTEMAS DIGITALES (105182)			
<i>Curso y Titulación</i>	5º Ingeniero en Electrónica			
<i>Área</i>	Tecnología Electrónica			
<i>Departamento</i>	<i>Electrónica e Ingeniería Electromecánica</i>			
<i>Tipo</i>	OB, 1C, 3T+3P(LRU)			
<i>Coefficientes</i>	Practicidad: 3		Agrupamiento: 3	
<i>Duración ECTS (créditos)</i>	4,8 ECTS		120 horas	
<i>Distribución ECTS (rangos)</i>	Grupo Grande: 20%	Seminario-Lab.: 20%	Tutoría ECTS: 5%	No presenciales: 55 %
	24 horas	24 horas	6 horas	66 horas
<i>Descriptor (según BOE)</i>	Implementación de sistemas digitales. Dispositivos lógicos programables. Síntesis. Verificación.			
<i>Coordinador-Profesor/es</i>	José Vicente Valverde Sánchez (1), José Antonio Moreno Zamora (2)			
<i>Tutorías complementarias (1)</i>	D1.5	924 289629	valsan@unex.es	
	Lunes, martes y miércoles de 9:00 a 11:00 h.			
<i>Tutorías complementarias (2)</i>	D1.9	924 289600 (Ext. 6825)	joseanmo@unex.es	
	Lunes, martes y miércoles de 13:00 a 15:00 h.			

II. Objetivos

<i>Relacionados con competencias académicas y disciplinares</i>	<i>Vinculación</i>
Descripción	<i>CET¹</i>
1.- Conocer las normas sobre diseño de sistemas digitales complejos	1, 5, 8, 9, 10, 16, 17, 19, 20
2.- Manejar y comprender los principales programas de diseño simulación y test de sistemas digitales	1, 2, 5, 12, 15, 16, 17, 19, 20
3.- Aplicar los conocimientos de las asignaturas de carácter general en electrónica para encontrar mejoras, de velocidad, consumo, etc., en el diseño	1, 5, 9, 16, 17, 19, 20
4.- Ser capaz de encontrar varias soluciones al mismo diseño y determinar en función de los requerimientos del mismo la solución más óptima.	1, 5, 7, 9, 16, 17, 20
5.- Elaboración del diseño según la normativa existente.	1, 5, 9, 10, 13, 16, 17, 19

<i>Relacionados con otras competencias personales y profesionales</i>	<i>Vinculación</i>
Descripción	<i>CG</i>
6.- Conocer y aplicar la normativa referente a la materia que existe a nivel autonómico, nacional e internacional.	
7.- Resolver problemas con creatividad y confianza en los propios conocimientos	
8.- Ser capaz de comunicar conocimientos especializados	
9.- Formarse y actualizar conocimientos de forma continuada.	
10.- Trabajar con constancia	
11. Trabajar en equipo	

III. Contenidos

<i>Secuenciación de bloques temáticos y temas</i>
1. Circuitos digitales
1.1 Introducción a los circuitos digitales integrados
1.1.1.- Introducción 1.1.2.- características generales 1.1.3.- Tipos de ASIC 1.1.4.- Ciclo de diseño genérico
1.2. Lógica CMOS
1.2.1.- Introducción 1.2.2.- Celdas lógicas combinacionales 1.2.3.- Celdas lógicas secuenciales 1.2.4.- Otras celdas
1.3 Lógica programable
1.3.1.- Introducción 1.3.2.- Tecnologías de programación 1.3.3.- Dispositivos PLD 1.3.4.- Dispositivos CPLD 1.3.4.- Dispositivos FPGA
2. Diseño de sistemas digitales
2.1 Metodología de diseño
2.1.1.- Introducción 2.1.2.- Diseño ascendente (bottom-up) 2.1.3.- Diseño descendente (top-down) 2.1.4.- Gestión del diseño
2.2 Diseño Síncrono
2.2.1.- Introducción 2.2.2.- Señales digitales 2.2.3.- Distribución del reloj. 2.2.3.1.- Desajuste del reloj (clock-skew) 2.2.3.2.- Modelado de líneas 2.2.3.3.- Técnicas de distribución del reloj 2.2.4.- Fases de reloj 2.2.4.1.- Sistemas con una fase de reloj 2.2.4.2.- Sistemas con dos fases de reloj
2.3 Metaestabilidad
2.3.1.- Introducción 2.3.2.- Justificación del estado metaestable. 2.3.3.- Operación metaestable 2.3.4.- Corrección de la metaestabilidad 2.3.5.- Propagación de la metaestabilidad 2.3.6.- Tiempo medio entre fallos 2.3.7.- Sincronizadores 2.3.7.1.- Técnicas de sincronización 2.3.7.2.- Esquemas de redundancia 2.3.7.3.- Esquemas basados en la detección de la metaestabilidad
2.4 Normas del diseño síncrono

- 2.4.1.- Introducción
- 2.4.2.- Señales de reloj
- 2.4.3.- Puertas en las líneas de reloj
- 2.4.4.- Utilización de los dos flancos de reloj
- 2.4.5.- Generación del reloj
- 2.4.6.- Utilización de reset y preset asíncronos
- 2.4.7.- Registros de desplazamiento
- 2.4.8.- Circuitos “handshake asíncronos”
- 2.4.9.- Líneas de retardos y monoestables
- 2.4.10.- Biestables
- 2.4.11.- Buses triestados
- 2.4.12.- Señales en paralelo
- 2.4.13.- Fan-out
- 2.4.14.- Técnicas para el aumento de la velocidad

2.5. Diseño asíncrono

- 2.5.1.- Introducción
- 2.5.2.- Consideraciones previas
- 2.5.2.1- Biestable C
- 2.5.3.- Modelos de retraso
- 2.5.4.- Protocolos de petición reconocimiento
- 2.5.5.- Clasificación de los circuitos secuenciales asíncronos
- 2.5.5.1.- Retardo limitado
- 2.5.5.2.- Circuitos de Fuman
- 2.5.5.3.- Circuitos en modo entrada-salida
- 2.5.6.- Micropipelines
- 2.5.7.- Circuitos insensibles a retrasos
- 2.5.8.- Limitaciones de las puertas lógicas
- 2.5.9.- Síntesis de módulos básicos

3. Síntesis y test

3.1 Síntesis y optimización

- 3.1.1.- Introducción
- 3.1.2.- Etapas de síntesis
- 3.1.3.- Particionado para síntesis
- 3.1.4.- Restricciones y optimización
- 3.1.5.- Verificación temporal

3.2. Diseño físico e implementación

- 3.2.1.- Introducción
- 3.2.2.- Diseño físico con celdas estándar
- 3.2.3.- Implementación en lógica programable

3.3. Diseño para testeabilidad

- 3.3.1. Introducción
- 3.3.2.- Características y tipos de test
- 3.3.3.- Generación automática de patrones de test (ATPG)
- 3.3.4.- Técnicas de SCAN

<i>Interrelación</i>			
Requisitos (Rq) y redundancias (Rd)		Temas	<i>Procedencia</i>
Conocimiento de Electrónica básica		Rq 1.1, 1.2, 1.3	Diseño de circuitos y sistemas electrónicos I y II (4 de Ingeniero. En electrónica)
Conocimiento de electrónica general Conocimiento de		Rq 2.1, 2.2, 2.3, 2.4, 2.5	Electronica digital (2° de Ing. Técnico Industrial en Electrónica)
Conocimiento general de estadística		Rq 2.3	Estadística (1° de de Ing. Técnico Industrial de Ing. Técnico Industrial en Electrónica)
Conocimiento de lenguajes de descripción software		Rq 3.1, 3.2 3.3	Procesadores avanzados (4° de Ingeniero en electronica)

IV. Metodología docente y plan de trabajo del estudiante

<i>Actividades de enseñanza-aprendizaje</i>				<i>Vinculación</i>	
<i>Descripción y secuenciación de actividades</i>	<i>Tipoⁱ</i>		<i>Dⁱⁱ</i>	<i>Tema</i>	<i>Objet.</i>
1. presentación del plan docente de la asignatura	GG	C-E	0.5	todos	todos
2. Encuesta sobre conocimientos previos	GG	C-E	0.5	todos	1
3. presentación del bloque temático y su interconexión con otras materias	GG	C-E	0.1	1.1 al 1.3	3
4. Exposición sobre los circuitos digitales integrados	GG	T	0.9	1.1	3
5. Estudio de los contenidos explicados	NP	T	1	1.1	3
6. Exposición sobre los circuitos digitales MOS	GG	T	1.5	1.2	2-3
7. Estudio de los contenidos explicados	NP	T	1	1.2	2-3
8. Exposición sobre lógica programable	GG	T	2	1.3	1-3
9. Estudio de los contenidos explicados	NP	T	2	1.3	1-3
10. Resolución de problemas sobre circuitos digitales	GG	T-P	1	1.1 al 1.3	1-2-3-7
11. Resolución de problemas sobre circuitos digitales	S	T-P	2	1.1 al 1.3	1-2-3-7
12. Resolución de problemas sobre circuitos digitales	NP	T-P	3	1.1 al 1.3	1-2-3-7
13. Planificación de la práctica	Tut	T-P	1	1.1 al 1.3	todos
14. Realización de una práctica sobre circuitos lógicos programables	S	P	7	1.3	todos
Elaboración y presentación de la documentación de la práctica	NP	P	1	1.3	todos
15. Planificación del trabajo	Tut	T-P	2	1.3	todos
16. Realización de un trabajo sobre Circuitos lógicos programables	NP	T-P	10	1.3	todos
17. Defensa oral del trabajo junto a los compañeros.	GG	T-P	0.5	1.3	7-8-9-10
18. presentación del bloque temático y su interconexión con otras materias	GG	C-E	0.1	2.1 al 2.5	1-3-4
19. Exposición sobre Metodología del diseño	GG	T	0.9	2.1	1-3-4
20. Estudio de los contenidos explicados	NP	T	1.5	2.1	1-3-4
21. Exposición sobre diseño síncrono	GG	T	1.5	2.2	1-3-4
22. Estudio de los contenidos explicados	NP	T	2	2.2	1-3-4
23. Exposición sobre metaestabilidad	GG	T	1.5	2.3	1-3-4
24. Estudio de los contenidos explicados	NP	T	2	2.3	1-3-4
25. Estudio sobre normas de diseño síncrono	GG	T	1.5	2.4	1-3-4
26. estudio sobre contenidos explicados	NP	T	2	2.4	1-3-4
27. Exposición sobre diseño asíncrono	GG	T	2.5	2.5	1-3-4
28. Estudio de los contenidos explicados	NP	T	2	2.5	1-3-4
29. Resolución de problemas	GG	T-P	1	2.1 al 2.5	1-2-3-7
30. Resolución de problemas	S	T-P	2	2.1 al 2.5	1-2-3-7
31. Resolución de problemas	NP	T-P	2	2.1 al 2.5	1-2-3-7
32. Planificación de la práctica	Tut	T-P	1	2.1 al 2.4	todos
33. Realización de una práctica sobre sistemas síncronos	S	P	6	2.1 al 2.4	todos
34. Elaboración y presentación de la documentación de la práctica	NP	P	1	2.1 al 2.4	todos
35. Planificación de la práctica	Tut	T-P	1	2.5	todos
36. Realización de una práctica sobre sistemas asíncronos	S	P	5	2.5	todos
37. Elaboración y presentación de la documentación de la práctica	NP	P	1	2.5	todos
38. presentación del bloque temático y su interconexión con otras materias	GG	T	0.1	3.1 al 3.3	1-2-3-4-5
39. Exposición sobre síntesis y optimización	GG	T	0.9	3.1	1-2-3-4-5
40. Estudio de los contenidos explicados	NP	T	1.5	3.1	1-2-3-4-5
41. Exposición sobre Diseño físico e implementación	GG	T	1	3.2	1-2-3-4-5
42. Estudio de los contenidos explicados	NP	T	1.5	3.2	1-2-3-4-5
43. Exposición sobre diseño para testeabilidad	GG	T	1	3.3	1-2-3-4-5
44. Estudio de los contenidos explicados	NP	T	1.5	3.3	1-2-3-4-5
45. Resolución de problemas	GG	T-P	1	3.1 al 3.3	1-2-3-7
46. Resolución de problemas	S	T-P	2	3.1 al 3.3	1-2-3-7
47. Resolución de problemas	NP	T-P	3	3.1 al 3.3	1-2-3-7
48. Planificación de la práctica	Tut	T-P	1	3.1 al 3.3	todos
49. Realización de una práctica, sobre un diseño síncrono, optimizando el diseño, realizando los circuitos de test y el diseño físico	S	T-P	6	3.1 al 3.3	todos
50. Elaboración y presentación de la documentación de la práctica	NP	P	1	3.1 al 3.3	todos
51. Encuesta sobre la actividad docente	GG	C-E	1	todos	todos
52. Estudio y preparación del examen final	NP	T-P	20	todos	todos
53. Examen final	GG	C-E	3	todos	todos

<i>Distribución del tiempo (ECTS)</i>			<i>Dedicación del alumno</i>		<i>Dedicación del profesor</i>	
<i>Distribución de actividades</i>		<i>Nº alumnos</i>	<i>H. presenciales</i>	<i>H. no presenc.</i>	<i>H. presenciales</i>	<i>H. no presenc.</i>
Grupo grande (Más de 20 alumnos)	Coordinac./evaluac. (I)	10	5.2	-	5.2	20
	Teóricas (II y III)	10	18.8	18	18.8	20
	Prácticas (IV, V y VI)	10	-	-	-	-
	Subtotal	10	24	-	24	40
Seminario- Laboratorio (6-20 alumnos)	Coordinac./evaluac. (I)	10	-	-	-	-
	Teóricas (II y III)	10	-	-	-	-
	Prácticas (IV, V y VI)	10	30	22	30	30
	Subtotal	10	30	40	30	30
Tutoría ECTS (1-5 alumnos)	Coordinac./evaluac. (I)	4	-	-	-	8
	Teóricas (II y III)	4	2	-	20	20
	Prácticas (IV, V y VI)	4	4	-	40	5
	Subtotal	4	6	-	60	33
Tutoría comp. y preparación de ex. (VII)		1	-	20	-	12
Totales			60	60	114	115

V. Evaluación

<i>Criterios de evaluación*</i>		<i>Vinculación*</i>	
Descripción		<i>Objetivo</i>	<i>CCⁱⁱⁱ</i>
1. Demostrar la adquisición y comprensión de los conocimientos de la asignatura		1,3,7,8	30%
2. Resolver problemas a partir de los conocimientos teóricos y resultados experimentales		1,3,7	
3. Preparar documentación sobre temas y prácticas de la asignatura		1,2,5,10	50%
4. Conclusiones sobre las prácticas realizadas.		todos	
5. Exponer con claridad el tema preparado		8,9,10	10%
6. Participación en clase		1,2,4,8	10%

<i>Actividades e instrumentos de evaluación</i>		
Seminarios y tutorías ECTS	<ul style="list-style-type: none"> ■ La valoración de las actividades registradas en prácticas, junto a la evaluación continua del trabajo y dedicación en el desarrollo de las mismas (50%). ■ Elaboración y exposición pública del trabajo tutorizado del tema 1.3 (10%). 	60%
	<ul style="list-style-type: none"> ■ La realización de problemas en clase reportará al alumno de una bonificación sobre su nota final de hasta un punto si ha realizado al menos el 50% de los problemas propuestos 	10%
Examen final	<ul style="list-style-type: none"> ■ La evaluación final constará de una parte teórica (30%) en la que se evaluarán los conceptos fundamentales de la asignatura y otra práctica (70%) en la que se planteará un diseño para resolver desde un punto de vista conceptual. 	30%
Requisitos generales	<ul style="list-style-type: none"> ■ La asistencia a las prácticas es obligatoria y se considera imprescindible para evaluar las mismas. ■ Para superar la asignatura será necesario tener aprobadas las prácticas y obtener una calificación superior a 3 puntos en cualquiera de las partes del examen final. 	

VI. Bibliografía

<i>Bibliografía de apoyo seleccionada</i>
Sistemas electrónicos digitales Enrique Mandado. Ed. Marcombo Diseño de circuitos de aplicación específica; J.P. Deschamps. Ed. Paraninfo Temporización en circuitos integrados digitales CMOS. A. J. Acosta y otros Ed. Marcombo
<i>Bibliografía o documentación de lectura obligatoria*</i>
Hojas de características fabricantes Altera, Flex 10K y Max 9000, Xilinx Series 4000 y virtex.
<i>Bibliografía o documentación de ampliación, sitios web...*</i>
www.Xilinx.com , www.Altera.com , www.latitcesemi.com , www.atmel.com , www.actel.com

ⁱ *Tipos de actividades*: GG (Grupo Grande); S (Seminario o Laboratorio); Tut (Tutoría ECTS); No presenciales (NP); C-E, I (Coordinación o evaluación); T, II (Teórica de carácter expositivo o de aprendizaje a partir de documentos); T, III (Teórica de discusión); P, IV (Prácticas basadas en la solución de problemas); P, V (Prácticas basadas en la observación, experimentación, aplicación de destrezas, estudio de casos...); P, VI (Prácticas con proyectos o trabajos dirigidos); T-P, VII (Otras teórico-prácticas).

ⁱⁱ *D*: Duración en sesiones de 1 hora de trabajo presencial o no presencial (considerando en cada hora 50-55 minutos de trabajo neto y 5-10 de descanso).

ⁱⁱⁱ *CC*: Criterios de Calificación (ponderación del criterio de evaluación en la calificación cuantitativa final).

^v *NR*: actividad “no recuperable” o que no permite evaluación extraordinaria.

(*) Apartados no obligatorios.